A copy of the cited reference(s)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H03H 7/01

(11) 공개번호 특2001-0031161
(43) 공개일자 2001년04월16일

(21) 출원번호	10-2000-7004081
(22) 출원일자	2000년04월15일
번역문제출일자	2000년04월15일
(86) 국제출원번호	PCT/US1998/21343 (87) 국제공개번호 WO 1999/19982
(86) 국제출원출원일자	1998년10월12일 (87) 국제공개일자 1999년04월22일
(81) 지정국	AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 우간다 가나 감비아 짐바브웨 EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스 키르기즈 카자흐스탄 몰도바 러시아 타지키스탄 투르크메니스탄 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴 핀랜드 사이프러스 OA OAPI특허 : 부르키나파소 베넹 중앙아프리카 콩고 코트디브와르 카메룬 가봉 기네 말리 모리타니 니제르 세네갈 차드 토고 기네비쏘 국내특허 : 알바니아 아르메니아 오스트리아 오스트레일리아 아제르바이잔 보스니아-헤르체고비나 바베이도스 불가리아 브라질 벨라루스 캐나다 스위스 중국 쿠바 체코 독일 덴마크 에스토니아 스페인 핀랜드 영국 그루지야 헝가리 이스라엘 아이슬란드 일본 케냐 키르기즈 북한 대한민국 카자흐스탄 세인트루시아 스리랑카 라이베리아 레소토 리투아니아 룩셈부르크 라트비아 몰도바 마다가스카르 마케도니아 몽고 말라위 멕시코 노르웨이 뉴질랜드 슬로베니아 슬로바키아 타지키스탄 투르크메니스탄 터어키 트리니다드토바고 우크라이나 우간다 우즈베키스탄 베트남 폴란드 포르투칼 루마니아 수단 스웨덴 가나 감비아 짐바브웨 그레나다 시에라리온 유고슬라비아 인도네시아 크로아티아 싱가포르
(30) 우선권주장	60/062,364 1997년10월15일 미국(US)
(71) 출원인	에이브이엑스 코포레이션 미국 29578 사우스 캐롤라이나주 마이어틀 비치 쎄븐틴스 애비뉴 사우스 801
(72) 발명자	골드버거,하임 이스라엘71700모디인나할스널스트리트31 레파엘리,이삭 이스라엘71700모디인이메크도탄스트리트84 엘론,에후드 이스라엘96223예루살렘시쿤하첼10
(74) 대리인	주성민, 위혜숙

심사청구 : 없음

(54) 폴리머층을 갖는 표면 실장 L C 필터

요약

표면 실장 필터(10)는 복수의 단자(20,22)가 그 위에 놓여 있는 장치 본체를 갖는다. 단단한 절연 기판(44)을 갖는 이 장치 본체는 유전층(54) 상에서 제2 커패시터판을 형성하는 제2 도전층에 의해 대향되는 하나 이상의 제1 커패시터판을 갖는 제1 도전패턴으로 구성된다. 하나 이상의 절연 폴리머층(66,68)은 유전체층(54) 위에 놓여지고, 인덕터 코일을 형성하는 도전재가 놓여지는 컨덕터 채널을 가진다. 유리 또는 평면 폴리머 시트 등의 봉합 커버(46)는 폴리머층 위에 놓여진다. 이 칩은 바람직하게는 박판 기법에 의해 제조되고, 이에 의해 LPF, HPF, BPF, BRF 등의 각종 LC 필터나, 이들의 조합 뿐만 아니라 LC 공진기에 대해 구성요소와 회로 크기가 상당히 감소된다.

대표도

도1

BEST AVAILABLE COPY

색인어

LC 필터, 커패시터, 유전체, 절연 폴리머

명세서

기술분야

본 발명은 전반적으로 보다 큰 회로 기판에 표면 실장되도록 된 소형 전자 성분에 관한 것이다. 특히, 본 발명은 다양하게 응용하여 사용하기 위한 표면 설치 필터 장치에 관한 것이다.

배경기술

자주 표면 실장 성분들은 직사각형이고, 매우 작다. 예를 들어, 이 성분은 1인치의 1/10보다 작은 길이와 폭을 가질 수도 있다. 일반적으로 말하면, 이 성분체는 대량 생산 납땜 기법에 적합한 측면 단자들을 포함할 것이다.

이 분야의 기술자에게 알려진 바와 같이, 필터들은 자주 다양한 전자 성분들의 조합으로 만들어진다. 이 성분들은 흩어져 있거나 하나의 칩에 조합될 수도 있다. 이 성분값들과, 이들의 배치는 필터에 의해 통과되는 주파수를 결정한다. 예를 들어, 로패스 필터(LPF), 하이 패스 필터(HPF), 밴드 패스 필터(BPF) 및 대역 소거 필터(BRF)가 이런 식으로 만들어질 수 있다.

표면 실장 기법에 적합한 새로운 필터 장치가 필요하다.

발명의 상세한 설명

본 발명은 종래기술 구성과 방법의 각종 불리한 점들을 인식하여서 된 것이다. 따라서, 본 발명의 목적은 신규한 표면 실장 성분을 제공하는 것이다.

본 발명의 더 구체적인 목적은 표면 실장 필터 장치를 위한 다양한 새로운 구조들을 제공하는 것이다.

본 발명의 또다른 목적은 특히 다양하게 응용하여 사용하도록 된 소형 필터 장치를 제공하는 것이다.

또한 본 발명의 목적은 필터 장치의 생산에 새로운 방법을 제공하는 것이다.

이 목적들 중 몇몇은 복수의 전기 단자가 그 위에 위치한 장치 본체를 포함하는 표면 실장 필터 장치에 의해 달성된다. 이 장치 본체는 상면과 저면을 가지는 절연 보드를 포함한다. 제1 커패시터판의 형태의 적어도 하나의 제1 도전 패턴이 보드의 상면에 형성된다. 유전체층이 도전 패턴의 상면에 놓여진다. 상기 제1 커패시터판과 정합하여 적어도 하나의 제2 커패시터판을 형성하는 제2 도전 패턴이 상기 유전체층 상에 놓여진다. 제2 도전 패턴은 또한 적어도 인덕터 코일의 일부분을 형성한다.

예시적인 실시예에서, 폴리이미드와 같은, 하나 이상의 절연 폴리머층들이 유전체층의 위쪽에 놓여진다. 이 절연층들은 제2 컨덕터 패턴의 상기 인덕터 코일의 일부분과 정합하여 컨덕턴 채널을 형성하는 것이 바람직하다. 컨덕터 채널에 놓여진 컨덕터는 인덕터 코일을 완성하거나, 또는 그 두께를 원하는 값으로 증가시킨다. 본 실시예에 따라 폴리머 시트재나 단단한 절연재가 될 수도 있는 절연 커버층은 상기 절연층들 위쪽에 배치되는 것이 바람직하다.

본 발명의 다른 목적, 특징 및 모습들은 이하에서 더 상세하게 설명될 기재된 요소의 다양한 조합들 및 부조합들과, 그 실행 방법들에 의해 제공된다.

도면의 간단한 설명

이 분야의 통상의 기술자에게, 그 최선의 모드를 포함하는 본 발명의 충분하면서 가능한 명세는 다음의 첨부 도면의 참조를 포함하여, 본 명세서의 나머지 부분에서 더 구체적으로 설명된다.

도 1은 사용시에 나타나는, 회로 보드에 설치된 본 발명의 필터 장치를 나타내는 도면.

도 2는 본 발명의 필터 장치에서 바람직한 회로 구성의 개략도.

도 3은 도 1의 필터 장치의 확대 사시도.

도 4는 도 3의 선 4-4를 를 따른 단면도.

도 5는 본 발명의 필터 장치에서 바람직한 컨덕터 배치를 나타내는 도 4의 선 5-5를 따른 평면도.

도 6a는 도 5의 컨덕터 배치를 제작하기 위해 순차 형성된 층들을 나타내는 평면도.

도 7은 본 발명의 필터 장치에서 또다른 컨덕터 배치를 나타내는 도 5와 동일하게 취한 평면도.

도 7a 내지 7f는 도 7의 컨덕터 배치를 제작하기 위해 순차적으로 형성된 층들을 나타내는 평면도.

도 8은 도 3과 같이 표면 실장 필터의 제작을 위한 바람직한 방법을 나타내는 순서도.

도 9는 플립 칩 성분을 제조하기 위한 바람직한 방법을 나타내는 도 8과 동일한 순서도.

도 10은 본 발명에 따라 구성된 공진기의 사시도.

도 11은 도 10의 공진기에서 한 바람직한 회로 구성의 개략도.

도 12는 도 10에서와 같이 공진기를 제작하는데 사용될 수 있는 한 컨덕터 패턴을 나타내는 평면도.

도 13은 도 10에서와 같이 공진기를 제작하는데 사용될 수 있는 또다른 컨덕터 패턴을 나타내는 평면도.

도 14a 내지 14f는 도 13의 컨덕터 배치를 제작하기 위해 순차적으로 형성된 층들을 나타내는 평면도.

도 15는 도 13에서처럼 표면 실장 공진기의 제작을 위한 바람직한 방법을 나타내는 순서도.

실시예

본 발명의 동일하거나 유사한 특성 또는 요소를 나타내는데는 본 명세서와 도면에서 도면 부호가 반복 사용되도록 된다.

본 설명은 단지 예시적인 실시예의 설명이고, 상기 예시적인 구성에서 실시된 본 발명의 더 광범위한 양상을 한정하도록 된 것은 아님은 이 분야에서 기술을 가진 자에게 이해될 것이다.

본 발명은 원하는 필터 구성을 달성하기 위해 다층 구조를 갖는 다양한 표면 실장 장치를 제공한다. 예를 들어, LPF, HPF, BPF 및 BRF 등의 다양한 LC 필터나, 이들의 조합 뿐만 아니라 LC 공진기 구조를 만들기 위해 동일한 칩상에 커패시터와 인덕터가 놓여진다. 이 칩은 구성 요소와 회로 크기가 상당히 감소하도록 하는 박판 기법에 의해 제조되는 것이 바람직하다.

본 발명의 주요 모습에 의하면, 다층들은 커패시턴스층들, 인덕턴스층들 및 이 둘을 결합한 층을 포함할 수 있다. 본 발명의 필터는 셀룰러폰, 페이징 시스템(phasing system), 무선 LAN 등의 무선 통신 시스템에 대해 다양한 고주파 응용(예를 들어, 100MHZ 이상)으로 사용될 수 있다.

이제 도 1을 참조하면, 필터(10)는 인쇄된 회로 보드(12)에 표면 실장될 때 나타나는 대로 도시되어 있다. 자주, 회로 보드(12)는 자주, 웨이브(wave), 리플로(reflow), 베이퍼 페이즈(vapor phase) 또는 수동 솔더링 기법에 의해 납땜되는 저온 공융 솔더인 솔더에 의해, 저온 유기재로 만들어질 수도 있다.

도시된 바와 같이, 필터(10)는 그 위에 복수의 단자(16,18,20,22)를 갖는 장치 본체(14)를 포함한다. 단자(16,18)는 패드(24) 등의, 각 마운팅 패드들에서 보드(12)에 부착된다. 트레이스(26) 등의, 도전 트레이스들은 기존의 마이크로스트립(microstrip) 기법을 사용하여 회로 보드(12)의 상면에 형성될 수 있다. 도시된 바와 같이, 도전 트레이스들은 각 마운팅 패드로부터 연재하여 다른 회로와의 전기적 접속을 제공한다. 이 경우에, 단자(16)는 장치 입력인 동시에, 단자(18)는 장치 출력이다. 단자(20,22)는 (32)와 (34)를 통해 접지판(30)에 전기적으로 접속되어 있는 단일 마운팅 패드(28)에 부착된다.

도 2는 인덕터 코일(36)과, (38), (40) 및 (42)로 표기된 복수의 커패시터를 포함하는 LPF와 같은, 하나의 필터 구성을 나타낸다. 이 경우에, 인덕터 코일(36)과 커패시터(40)는 입력 단자(16)와 출력 단자(18) 사이에서 병렬로 접속된다. 커패시터(38,42)는 접지와 각 단자(16,18) 사이에 접속된다.

이제 도 3을 참조하면, 장치 본체(14)는 자주는 길이가 더 길고 폭이 더 짧은 직사각형일 것이다. 바람직하게는, 장치 본체(14)는 다층 세라믹 커패시터들과 같은, 다른 소형 표면 실장 성분들에 대한 표준 크기에 맞도록 크기가 정해진다. 산업 실무에 의하면, 이와 같은 성분의 크기는 일반적으로, 각각 XX는 길이이고 YY는 폭인, 인치의 1/100에서 "XXYY"의 수로 표현된다. 이 실무 하에서의 전형적인 크기는 0805이다.

도 4를 참조하면, 장치 본체(14)는 바람직하게는 알루미나 등의 단단한 재료로 형성되는 절연 기판(44)을 포함한다. 예를 들어, 글레이즈드 알루미나(glazed alumina) 기판이 이런 용도로 사용될 수 있다. 복수의 층들은 필요에 따라 패턴드(patterned) 컨덕터들을 교대로 제공하여 원하는 필터링 기능을 달성한다. 바람직하게는 유리, 유리-세라믹, 알루미나 또는 그와 유사한 단단한 절연재로 만들어지는 봉합 커버(46)는 상기 교대하는 층들 위에 놓여진다. 몇몇 실시예들에서는 폴리이미드 등의 적합한 폴리머재가 봉합 커버로 사용될 수 있다. 이것은 특히 폴립 칩 방식의 장치에 바람직하다.

도 5는 본 발명의 필터에 내장되는 경우에 나타나는 도 2의 회로 구성을 나타낸다. 볼 수 있는 바와 같이, 커패시터(38,40,42)는 대부분의 인덕터 코일(36)이 놓여있는 층 아래에 형성된다. 이 분야의 기술을 가진 자에게 명백한 바와 같이, 각 커패시터(38,40,42)는 실제로 공통 저면 전극 판에 의해 직렬로 접속되는 2개의 커패시터로 형성된다. 인덕터 코일(36)의 상층부의 각 단들은 단자(16,18)와의 전기적 접속을 제공하기 위해 아래의 컨덕터들과 정합한다.

필터 장치의 컨덕터가 형성되는 방식을 이제 도 6a 내지 6f를 참고하여 설명할 것이다. 도 6a에 도시된 바와 같이, 여기에서 복수의 커패시터판(48,50,52)을 형성하는 제 1도전 패턴은 기판(44)의 상면에 형성된다. 일반적으로, 커패시터판(48,50,52)은 매우 얇고, 기존의 포토리소그래픽 기법을 사용하여 형성될 수 있다. 바람직한 실시예에서, 커패시터판(48,50,52)은 약 2마이크론의 두께를 갖는 알루미늄으로 형성된다. 이 층을 "패드 I"이라 할 수 있다.

이제 도 6b를 참고하면, 다음으로 SiNO 또는 SiO_2 등의 유전체층(54)이 기판(44)의 상면과 같은 공간에 걸쳐져서 침착된다. 이 결과, 유전체층(54)은 기판(44) 상에 제1 도전 패턴을 덮을 것이다. 바람직한 실시예에서, 약 1.65마이크론의 유전체 두께가 이런 식으로 적용된다.

도 6c에 도시된 바와 같이, 그리고나서 제2 도전 패턴이 상기 유전체층(54) 위에 바람직하게는 포토리소그래피에 의해 형성된다. 알 수 있는 바와 같이, 제2 도전 패턴은 각 커패시터판(48,50,52) 위에 놓여지는 커패시터판 구조(56a-56b, 58a-58b, 60a-60b)를 형성한다. 제2 도전 패턴은 (62)와 (64)로 표기된 인덕터 코일 접속을 더 형성한다. 바람직한 실시예에서 약 2마이크론의 컨덕터 두께를 가지는 이 층을 "패드 II"라 한다.

폴리이미드나 그와 유사한 폴리머재로 만들어진 적어도 2개의 절연층이 제2 도전 패턴 위에 침착된다. 도 4의 이 실시예는 각각 (66)과 (68)로 표기된 2개의 폴리머 층을 포함한다. 도 6d와 6f에 각각 도시되

어 있는, 이 층들을 "폴리 I" 및 "폴리 II"라 한다.

폴리머 절연층들은 아래에 놓여 있는 박판 컨덕터의 어떤 부분들과 정합하여 컨덕터 채널을 형성한다. 이 컨덕터 채널들이 전자 도금 등으로 채워져서, 인덕터 코일 패턴을 두껍게할 뿐만 아니라, 장치의 측면의 단자들에 접속을 제공한다. 예를 들어, 적어도 150마이크론, 바람직하게는 약 250마이크론의 폴리머 층들이 동일한 층의 컨덕터들을 제공하기 위해 이용될 수 있다.

도 6d에서 알 수 있는 바와 같이, 컨덕터 채널 중첩 인터커넥트(62)는 쇼트 스터브(short stub)부(70)와 비어 컨덕터(bia conductor)(72)를 남긴 채 끊어져 있다. 결과적으로, 중첩 코일 패턴의 회전이 교차할 위치에서 절연 브리지가 제공된다. 코일과의 전기 접속은 박판층 인터커넥트(62)를 통해 유지된다.

도 6e는 다음으로 층(66) 위에 형성되는 얇은 층 패턴("패드 III")을 나타낸다. 도시된 바와 같이, 이 패턴은 상층 인덕터 코일의 패턴이다. 최종 폴리머층(68)(도 6f)은 이 패턴과 정합하여 상기한 바와 같이 전자도금이나 다른 적합한 수단에 의해 두꺼운 컨덕터가 제공되는 컨덕터 채널을 형성한다.

이 분야에 기술을 가진자는 각종 교대하는 층 구성 뿐만 아니라 다양한 회로 구성도 본 발명의 기술에 의해 달성될 수 있음을 이해할 것이다. 예를 들어, 도 7은 코일 패턴(36')이 상면 컨덕터층 아래에 놓여지는 또다른 필터(10')를 나타낸다. 이 실시예는 1900 또는 2400MHz와 같은, 고주파수 적용에 특히 유용하다. 대조적으로, 도 5의 실시예는 900MHz와 같은, 저주파수 적용에 특히 유용하다.

인터커넥트(74)와 같은, 하나 이상의 인터커넥트들은 봉합 커버 바로 아래의 층에 놓여져도 된다. 인터커넥트(74)는 코일 패턴(36')의 일단을 커패시터(40', 42') 사이의 노드와 전기적으로 접속하는 기능을 한다.

본 실시예의 다양한 층들은 도 7a 내지 7f를 참조하면 쉽게 이해될 수 있다.

도 7a에 도시된 바와 같이, 제1 도전 패턴은, 여기에서 복수의 커패시터판(48',50',52')을 형성하는, 기판(44')의 상면에 놓여진다. 다음으로, 도 7b에 도시된 바와 같이, 유전체층(54)이 기판(44')의 상면과 같은 공간에 걸쳐서 침착된다. 그리고나서 제2 도전 패턴("패드 II")이 유전체층(54')의 위에 형성된다. 이 도전 패턴은 각 커패시터판(48',50',52') 위에 놓여, 커패시터 판 구조(56a'-56b', 58a'-58b', 60a'-60b')를 형성한다. 제2 도전 패턴은 또한 인덕터 코일(36')의 대부분을 형성한다.

이제 도 7d를 참조하면, 그 다음 층은 상기한 바와 같이 적절한 폴리머재의 절연층(66')("폴리 I")이다. 층(66')에서 컨덕터 채널은 전자 도금 등에 의해 채워질 수 있는 제2 도전 패턴의 부분들을 노출시켜 컨덕터 두께를 증가시킨다. 도 7e에 도시된 바와 같이, 그리고나서 또다른 절연층(68')이 층(66')과 그 컨덕터 채널에 놓여진 두께가 증가된 컨덕터 위에 놓여진다.

도 7f에 도시된 바와 같이, 인터커넥트 소자(74)는 절연층(68')의 표면 위에 제 3도전층으로서 인가된다. 비어 컨덕터(76,78)는 폴리 II층에 제공되어 인터커넥트 소자(74)와 전기적 접속을 할 수 있도록 한다. 그리고나서 이 장치는 이전의 실시예와 관련하여 설명된 바와 같은 적절한 봉합 커버에 의해 덮혀진다.

자주, 본 발명의 필터 장치들은 더 큰 시트에서 제조된 많은 것들 중 하나일 것이다. 단자들은 더 큰 시트의 다이싱 후에 각 성분들에 적용될 수도 있다. 유리 등에 의해 커버된 성분을 위한 바람직한 제조 처리가 도 8에 도시되어 있다. 마찬가지로, 도 9는 예를 들어 폴리이미드나 또다른 이와 같은 폴리머로 커버된 플립 칩 성분을 위한 바람직한 제조 처리를 나타낸다.

따라서, 도 8을 참조하면, 유리 커버된 성분의 생산은 기판의 적절한 클리닝에 의해 시작한다. 기판에 금속을 침착한 후에, 제1 도전 패턴의 금속 라인이 형성된다. 유전체층이 제1 도전 패턴 위에 침착되고, 그리고나서 또다른 금속층으로 커버된다. 그리고나서 폴리머의 절연층이 인가되어 적절한 컨덕터 채널이 형성된다. 금속이 컨덕터 채널에 도금되어 컨덕터 두께를 증가시킨다. 그리고나서, 또다른 금속층이 절연층 위에 침착되어, 금속 라인이 형성된다. 포리머의 또다른 절연층이 인가되고, 그리고나서 컨덕터 채널이 형성된다. 부가적인 금속 도금층이 인가된 후 봉합 커버가 도포된다.

이런 점에서, 다수의 장치가 보다 큰 시트로 생산되어 왔다. 그리고나서 이 더 큰 시트는 X 및 Y 양방향에서 다이스되어 각 성분들을 산출한다. 각 성분들은 단자 형성에 의해 표면 실장 장치를 형성하도록 터미네이트되고, 그리고나서 납땜된다.

도 9를 참고하면, 플립 칩 성분의 생산의 많은 단계들이 커버 성분의 생산과 유사함을 알 수 있다. 그러나, 제2 "금속 도금" 단계 후에, 또다른 절연층이 도포된다. 단자 패드들은 절연층의 표면상에 형성된다. 범프 도금 이후에, 시트는 X 및 Y 양방향에서 다이스되어 각 성분들을 형성한다. 최종적으로, 각 성분들이 납땜된다.

도 10은 본 발명에 따라 구성된 공진기 장치(100)를 나타낸다. 위에서 도시된 필터들과는 달리, 공진기(100)는, (102)와 (104)로 표기된 2개의 단자만을 가진다. 이제 도 11을 참조하면, 공진기(100)는 커패시터(106)와 인덕터(108)를 포함한다. 커패시터(106)와 인덕터(108)는 병렬로 접속되어 원하는 주파수에서 공진한다.

도 12는 본 발명의 한 공진기 실시예에서 컨덕터 배치를 나타낸다. 도시된 바와 같이, "인덕터"는 우회적인 컨덕터 소자(110)로 형성된다. 커패시터(106)는 하부 커패시터 판(112)과 2개의 그 위에 놓인 판(114a-b)으로 만들어진 2개의 커패시터(106)의 일련의 조합으로 형성된다. 판(114a-b)은 각 단자(102, 104)에 접속된다.

이 분야에 기술을 가진 자가 인식할 때, 도 12의 구성은 상기한 방법에 따라 이루어질 수도 있다. 이와 같은 기법들은 또한 더 정교한 구성들이 쉽게 만들어질 수 있도록 함은 물론이고, 그 중 하나가 도 13에 도시되어 있다.

특히, 도 13은 단자(102', 104')를 갖는 공진기(100')를 나타낸다. 커패시터(106')는 상기한 바와 같이 형성된다. 그런데, 이 경우에, (108')로 표기된 인덕터는 증가된 인덕턴스 만큼의 복수의 회전수를 가진다. 특히, 하층 나선(116)(도 14d)과 상층 나선(118)(도 14f)은 비어(via)(120)(도 14e)를 통해 함께 접

속되어 있다.

도 14a 내지 14f는 공진기(100')를 생성하는 각 층의 형상을 나타낸다. 먼저 도 14a를 참조하면, 하부 커패시터판(122) 형태의 제1 패턴 컨덕터가 기판(124) 위에 형성된다. 기판(124)의 상면과 같은 공간에 걸치는 유전체층(126)은 도 14b에 도시된 바와 같이 인가된다. 다음으로, 도 14c에 도시된 바와 같이, 제2 패턴 도전층이 인가된다. 제2 패턴 도전층은 상부 커패시터판들을 형성하는 부분들(128a, 128b)을 포함한다. 다른 실시예들에 대해 위에서 설명한 바와 같이, 커패시터(105')는 실제로 직렬로 접속된 한 쌍의 현재 커패시터에 의해 실현되는 동일 커패시터이다. 하부 코일부(116)은 도시된 바와 같이, 커패시터 전극과 인접하여 놓여있다.

이제 도 14d를 참조하면, 그리고나서 절연 폴리머의 제1 층("폴리 1")은 제2 도전 패턴 위에 놓여진다. 채널들이 절연층(130)에 형성되어 도시된 바와 같이 제2 도전 패턴의 부분들을 노출시킨다. 채널들은 부가적인 도전재로 채워져서 이 위치들에서 컨덕터의 두께를 증가시킨다. 그리고나서 또다른 절연층(132)이 도 14e에 도시된 바와 같이 비어(120)를 노출시키는 식으로 적용된다.

이제 도 14f를 참조하면, 그리고나서 제3 도전 패턴이 절연층(132)의 상면에 형성될 수 있다. 그리고나서 상부층 나선(118)과 정합하는 도전 채널을 갖는 부가 절연층(134)이 제공된다. 이 도전 채널들은 부가적인 도전재로 채워져서 상기한 바와 같이 컨덕터 두께를 증가시킨다. 상기한 바와 같은 공진기를 생산하는 방법은 도 15의 순서도에도 도시되어 있다.

컨덕터들이 본 발명의 필터 장치에서 형성되는 기법들 중 몇몇은 미국 특허 제5,363,080 호에서 Breen으로 기재된 기법과 동일 또는 유사하여도 된다. 따라서, 이 특허가 여기에서 참조로 포함된다.

산업상이용가능성

본 발명은 표면 실장 성분으로 사용하도록 된 다양한 신규한 필터 구조를 제공함을 알 수 있다. 본 발명의 바람직한 실시예들을 도시하고 설명하였지만 본 발명의 사상과 범위를 벗어나지 않으면 이 분야에서 기술을 가진자에 의해 다양한 변경과 변화가 가능하다. 또한, 다양한 실시예의 모습들이 전체적으로 또는 부분적으로 서로 교환될 수 있음은 물론이다. 또한, 이 분야에 기술을 가진자는 상기 설명은 단지 예이고, 첨부된 청구항에 더 기재된 본 발명을 한정하도록 된 것은 아니다.

(57) 청구의 범위

청구항 1

복수의 전기 단자가 위에 놓인 장치 본체를 포함하여 구성되는 표면 실장(surface mount) 필터 장치에 있어서, 상기 장치 본체는,

상면과 저면을 갖는 절연 기판;

상기 기판의 상면에 형성된 적어도 하나의 제1 커패시터판의 형태의 제1 도전 패턴;

도전 패턴의 위에 놓여지는 유전체층;

상기 유전체층 위에 놓여지며, 커패시터 장치를 생성하기 위해 상기 제1 커패시터판과 정합하여 적어도 하나의 제2 커패시터판을 형성하고, 적어도 인덕터의 일부를 또한 형성하는 제2 도전 패턴;

유전체층 위쪽에 놓여지고, 상기 인덕터 코일의 상기 일부와 정합하는 절연재를 포함하는 제1 층 컨덕터 채널을 형성하는 제1 폴리머 절연층; 및

절연 커버층을 포함하는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 2

제1항에 있어서,

상기 각 제2 커패시터판은 상기 각 제1 커패시터판의 위쪽에 배치된 한쌍의 제2 커패시터 전극을 포함하여 각각 동등한 커패시터 소자를 생성하는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 3

제2항에 있어서,

상기 제1 도전 패턴은 상기 제1 커패시터판 중 적어도 3개를 형성하고, 각각은 각 쌍의 상기 제2 커패시터에 의해 중첩되어 상기 동등 커패시터 소자 중 적어도 3개를 생성하는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 4

제3항에 있어서,

상기 장치 본체의 측면에 위치한 상기 단자 중 적어도 4개를 포함하여 구성되는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 5

제4항에 있어서,

제1 동등 커패시터 소자는 제1 단자와 제2 단자 사이에서 전기적으로 접속되어 있고,

제2 동등 커패시터 소자는 상기 제1 단자와 제3 단자 사이에서 전기적으로 접속되어 있고,

제3 동등 커패시터 소자는 상기 제3 단자와 제4 단자 사이에서 전기적으로 접속되어 있는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 6

제5항에 있어서,

상기 인덕터는 상기 제1 단자와 상기 제2 단자 사이에서 전기적으로 접속되어 있는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 7

제1항에 있어서,

상기 유전체층은 얇은 층 유전재를 포함하는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 8

제7항에 있어서,

상기 얇은 층 유전재는 SiNO와 SiO_2로 구성되는 그룹으로부터 선택되는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 9

제1항에 있어서,

상기 적어도 하나의 제1 커패시터판은 상기 단자 중 어떤 것과도 직접 접속되지 않는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 10

제1항에 있어서,

상기 절연 폴리머 제1 층 위에 위치한 절연 폴리머 제2 층을 더 포함하는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 11

제10항에 있어서,

상기 절연 폴리머 제2 층은 인덕터 코일을 형성하는 도전재를 포함하는 제2 층 컨덕터 채널을 형성하는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 12

제10항에 있어서,

상기 절연 폴리머 제2 층은 상기 절연 폴리머 제1 층에 놓여 있는 인덕터 코일에 대해 상호 접속을 형성하는 도전재를 포함하는 제2 층 컨덕터 채널을 형성하는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 13

제1항에 있어서,

상기 절연 폴리머는 포토이미져블 폴리이미드(photoimagable polyimide)인 것을 특징으로 하는 표면 실장 필터 장치.

청구항 14

제1항에 있어서,

상기 봉합 커버는 단단한 절연재로 형성되는 것을 특징으로 하는 표면 실장 필터 장치.

청구항 15

제14항에 있어서,

상기 단단한 절연재는 유리인 것을 특징으로 하는 표면 실장 필터 장치.

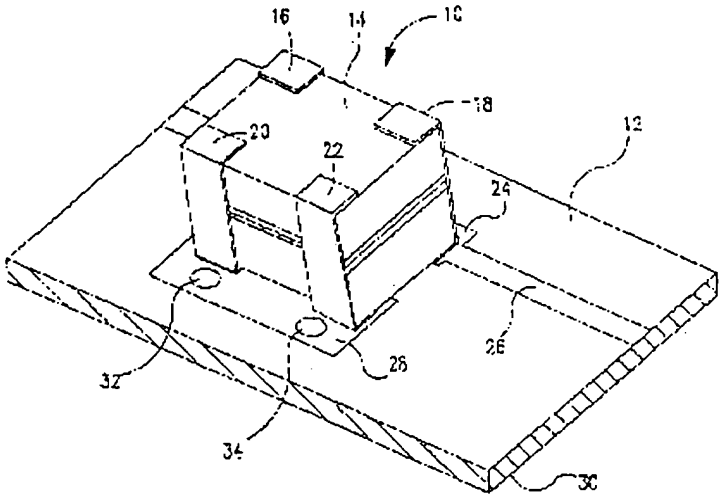
청구항 16

제1항에 있어서,

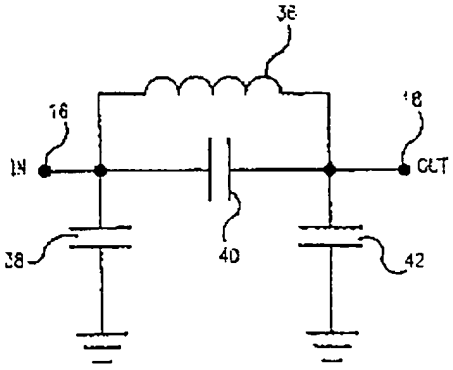
상기 봉합 커버는 절연 폴리머재의 평면 시트로 형성되는 것을 특징으로 하는 표면 실장 필터 장치.

도면

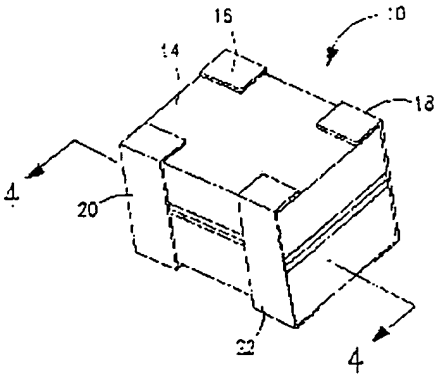
도면1


16
14
10
18
20
22
12
24
26
28
32
34
30

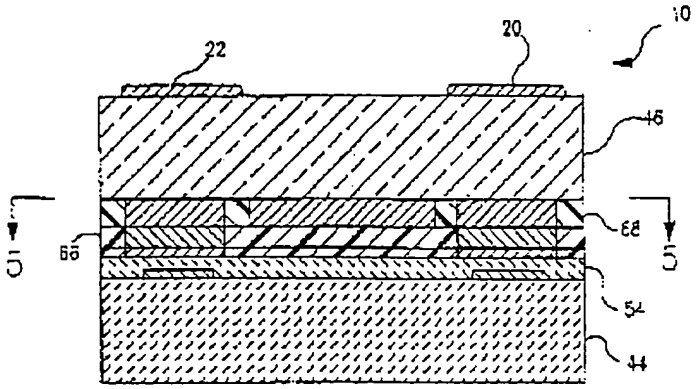
도면2


36
16
18
IN
OUT
38
40
42

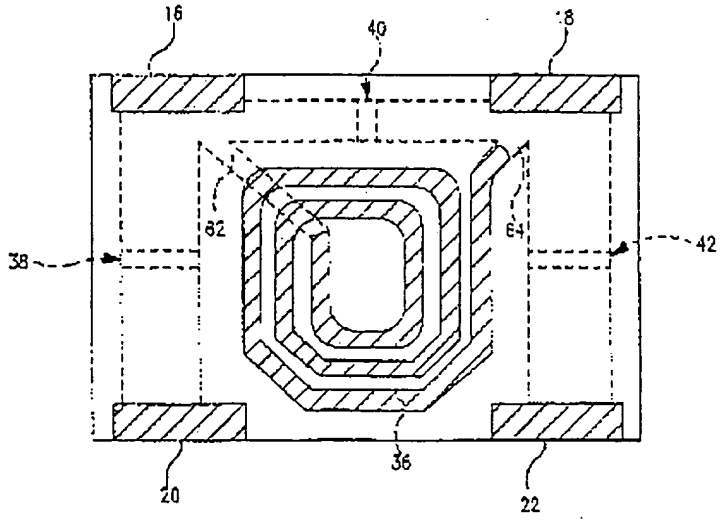
도면3


16
10
14
18
4
20
22
4

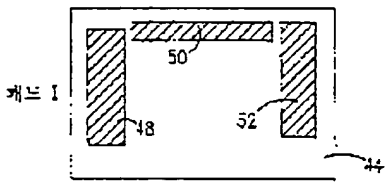
도면4



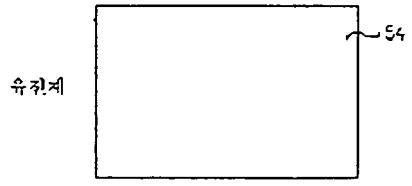
도면5



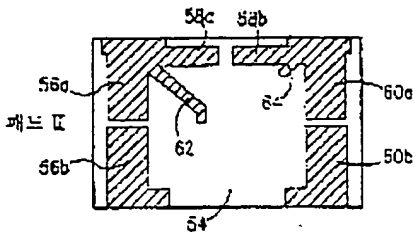
도면6a



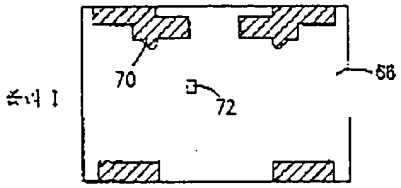
도면6b



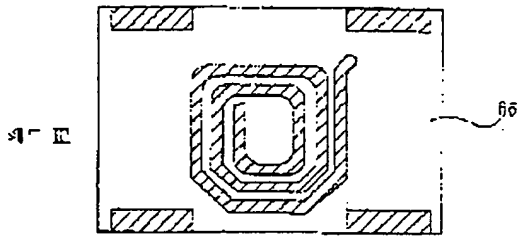
도면6e



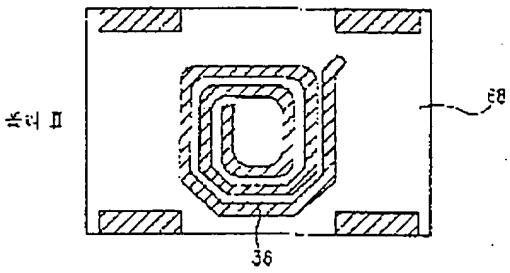
도면6d



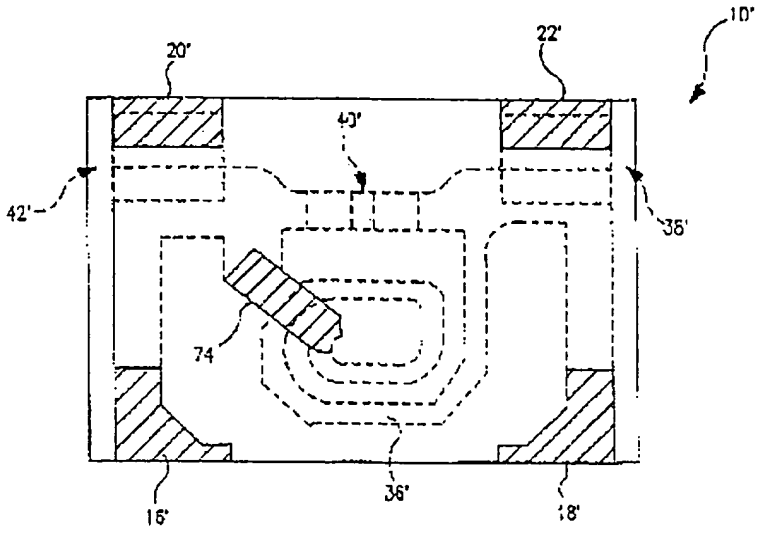
도면6e



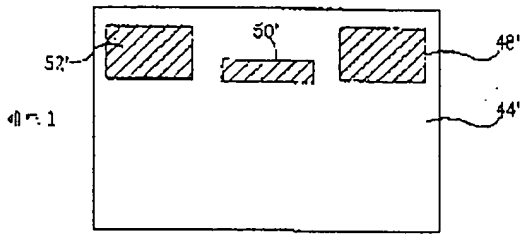
도면6f



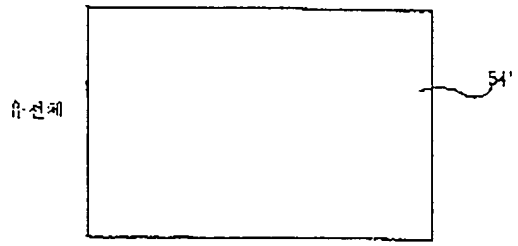
도면7



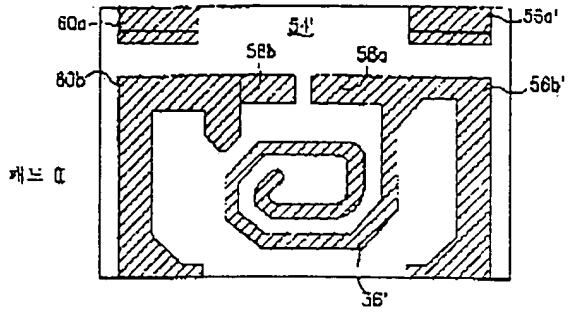
도면7a



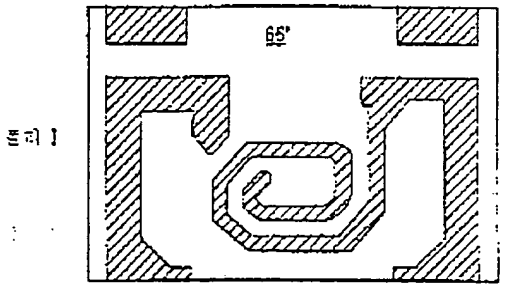
도면7b



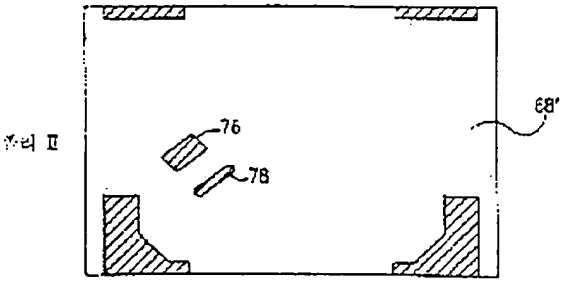
도면7c



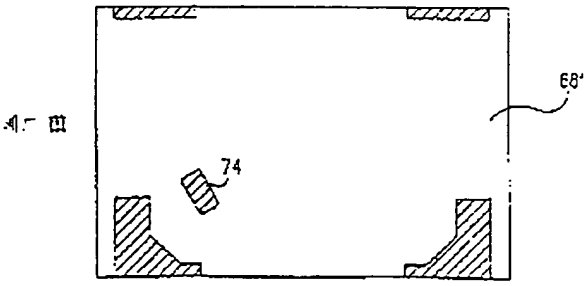
도면7d



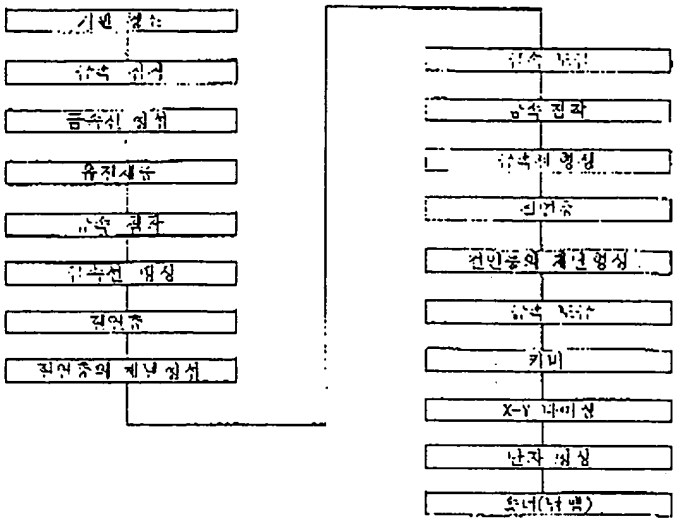
도면7e



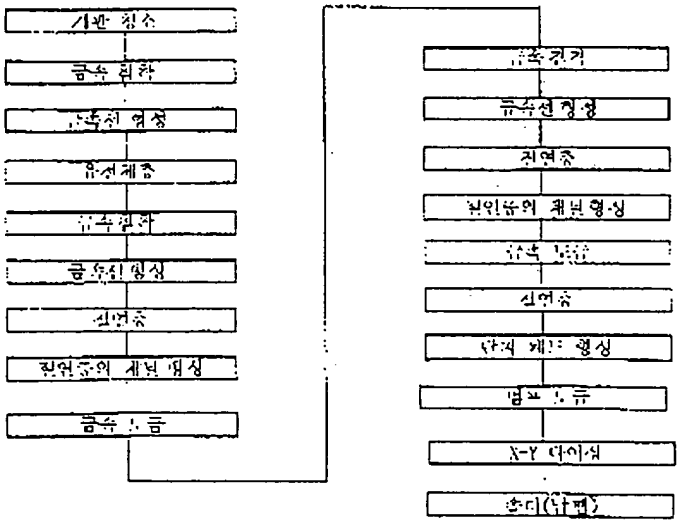
도면7f



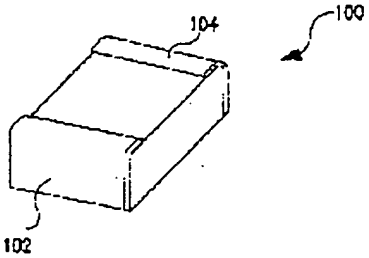
도면8



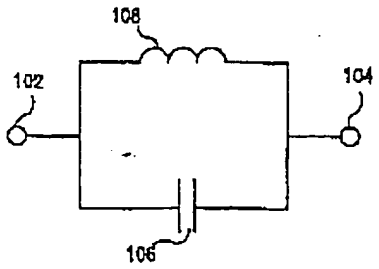
도면9



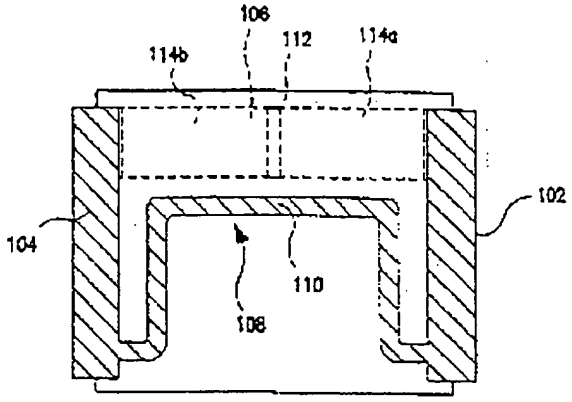
도면10



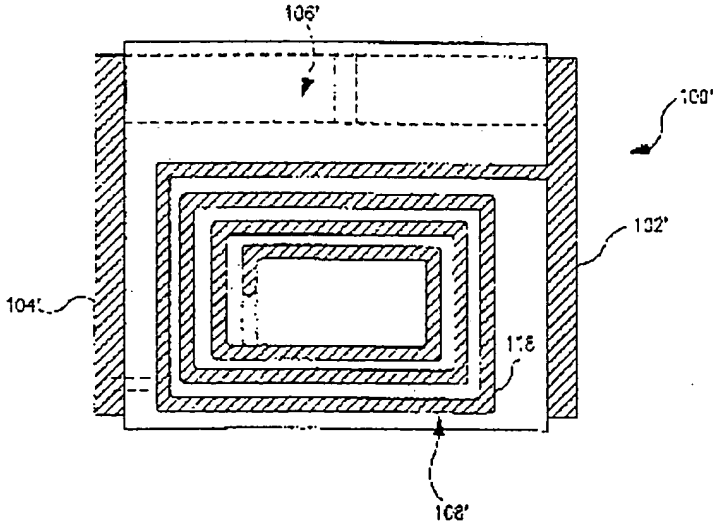
도면11



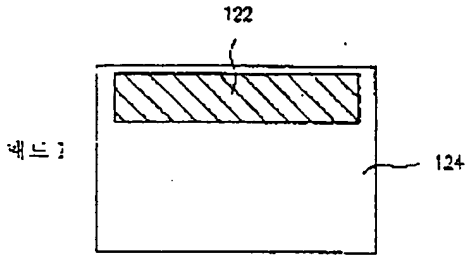
도면12



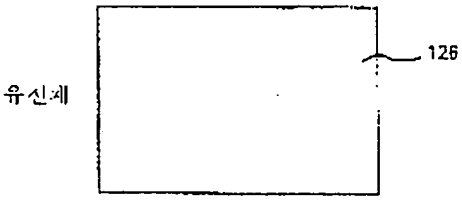
도면13



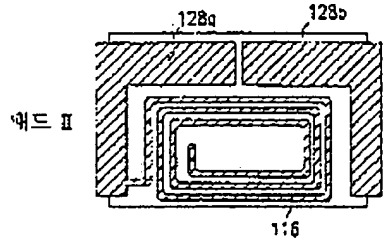
도면14a



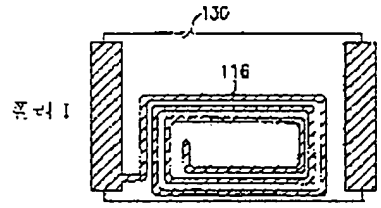
도면14b



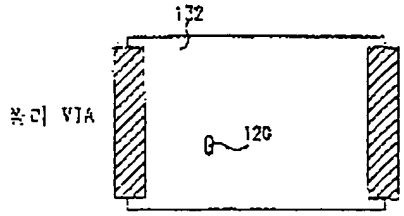
도면14c



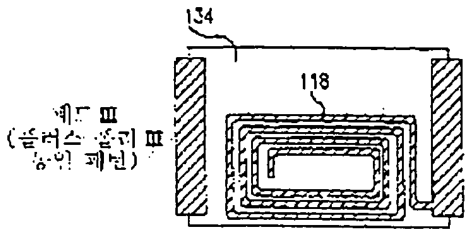
도면14d



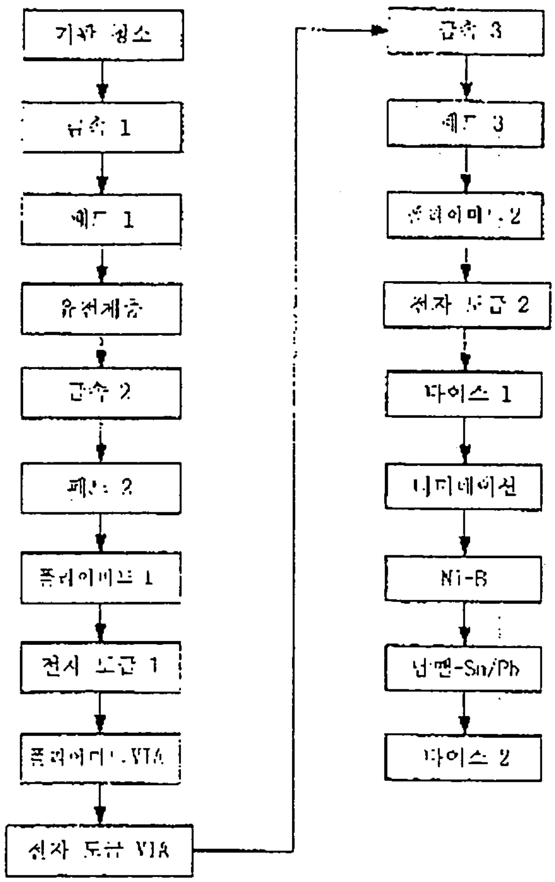
도면14e



도면14f


134
118
패드 III

도면15


기판 청소
금속 1
패드 1
유전체층
금속 2
패드 2
폴리이미드 1
전자 도금 1
폴리이미드 VIA
전자 도금 VIA
금속 3
패드 3
폴리이미드 2
전자 도금 2
다이스 1
라미네이션
Ni-B
납땜-Sn/Pb
다이스 2

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☑ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.